

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-189951

(43)Date of publication of application : 21.07.1998

(51)Int.Cl.

H01L 29/78

(21)Application number : 08-348676

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 26.12.1996

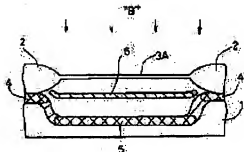
(72)Inventor : OKABE YUUSHIROU

## (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

## (57)Abstract:

PROBLEM TO BE SOLVED: To attain a high threshold voltage with low ion implantation, without causing degradation of isolation characteristic.

SOLUTION: Boron ions ( $11B^+$ ) are implanted under conditions for penetrating an LOCOS oxide 2 deposited on a P-type silicon substrate 1, in order to form a channel stopper layer 4 beneath the LOCOS oxide 2 of the same time as with a first channel ion implantation layer 5 in a deep region within the substrate 1. Subsequently, boron ions ( $11B^+$ ) are implanted from above the substrate 1 under conditions of not penetrating the LOCOS oxide 2, in order to form a second channel ion implantation layer 6 beneath a region for forming a diffusion layer in the substrate which is shallower than the first channel ion implantation layer 5.



## LEGAL STATUS

[Date of request for examination] 22.02.2001

[Date of sending the examiner's decision of rejection] 03.12.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

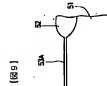
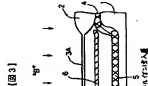
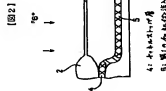
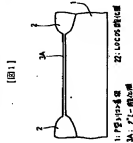
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

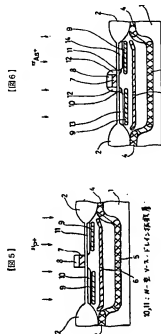
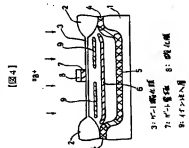
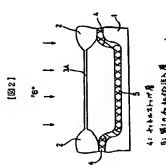




を示す第2の断面図である。  
 [図3] 本発明の一実施の形態の半導体装置の製造方法を示す第3の断面図である。  
 [図4] 本発明の一実施の形態の半導体装置の製造方法を示す第4の断面図である。  
 [図5] 本発明の一実施の形態の半導体装置の製造方法を示す第5の断面図である。  
 [図6] 本発明の一実施の形態の半導体装置の製造方法を示す第6の断面図である。  
 [図7] 本発明の半導体装置と従来の半導体装置との各種データの比較図である。  
 [図8] 本発明の他の実施の形態の半導体装置の製造方法を示す断面図である。



[図9] 従来の半導体装置の製造方法を示す第1の断面図である。  
 [図10] 従来の半導体装置の製造方法を示す第2の断面図である。  
 [図11] 従来の半導体装置の製造方法を示す第3の断面図である。  
 [図12] 従来の半導体装置の製造方法を示す第4の断面図である。  
 [図13] 従来の半導体装置の製造方法を示す第5の断面図である。  
 [図14] 従来の第2の断面図を参照するための半導体装置の製造方法を示す断面図である。

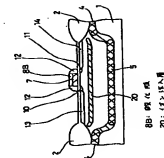


2: 半導体基板  
3: チャンネル

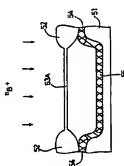
[図7]

項目	単位	値	単位	値
11の厚さ	μm	1.0	μm	1.0
22の厚さ	μm	0.1	μm	0.1
3Aの幅	μm	1.0	μm	1.0
4Aの幅	μm	1.0	μm	1.0
5Aの幅	μm	1.0	μm	1.0
6Aの幅	μm	1.0	μm	1.0

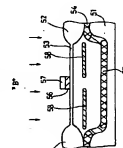
[図8]



[図10]



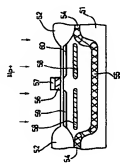
[図11]



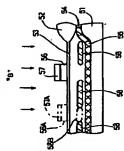
(7)

特開平10-189551

【図12】



【図14】



【図13】

